

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-123614

⑮ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月23日

H 03 K 19/0175

8941-5 J

H 03 K 19/00

1 0 1 A

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 レベル変換回路

⑯ 特 願 平2-245491

⑰ 出 願 平2(1990)9月14日

⑱ 発 明 者 山 崎 亨 東京都港区芝5丁目7番1号 日本電気株式会社内  
⑲ 発 明 者 杉 山 光 弘 東京都港区芝5丁目7番1号 日本電気株式会社内  
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
㉑ 代 理 人 弁理士 井出 直孝

明 細 書

1. 発明の名称

レベル変換回路

2. 特許請求の範囲

1. ソースが第一の電源にゲートが第一および第二の入力端子にそれぞれ接続された第一および第二のPチャネルMOSトランジスタと、ドレインおよびゲートが前記第一のPチャネルMOSトランジスタのドレインにソースが前記第一の電源よりは低い電圧の第二の電源にそれぞれ接続された第一のNチャネルMOSトランジスタと、ドレインが前記第二のPチャネルMOSトランジスタのドレインにゲートが前記第一のNチャネルMOSトランジスタのゲートにソースが前記第二の電源にそれぞれ接続された第二のNチャネルMOSトランジスタを含むレベル変換回路において、コレクタが前記第一の電源にベースが前記第二のPチャネルMOSトランジスタのドレインにエ

ミッタが出力端子にそれぞれ接続されたNPNバイポーラトランジスタと、エミッタが前記出力端子にベースが前記第二のNチャネルMOSトランジスタのドレインにコレクタが前記第二の電源にそれぞれ接続されたPNPバイポーラトランジスタを含む

ことを特徴とするレベル変換回路。

2. 請求項1に記載のレベル変換回路において、前記NPNバイポーラトランジスタの代わりに、ソースが前記第一の電源にゲートが前記第二のPチャネルMOSトランジスタのゲートにドレインが前記出力端子にそれぞれ接続された第三のPチャネルMOSトランジスタを含む

ことを特徴とするレベル変換回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、デジタル回路において、異種の論理回路間を連結するレベル変換回路に利用する。

## 〔概要〕

本発明は、CMOSトランジスタから構成されるカレントミラー回路を用いてレベル変換を行うレベル変換回路において、

出力段をNPNバイポーラトランジスタまたはPチャネルMOSトランジスタと、PNPバイポーラトランジスタとの直列回路で構成し、直接カレントミラー回路の出力で駆動するようにすることにより、

素子数を減少させるとともに信号の伝搬速度を速くしたものである。

## 〔従来の技術〕

最近、MOSTランジスタとバイポーラトランジスタを論理回路内で複合化したBiCMOS型の論理回路が注目されている。この論理回路は、その高速性および低消費電力性により、例えば、大容量SRAM(スタティック型RAM)などの集積回路を構成するのにも適している。さらに、高速であることから、動作速動の速いECL(エミッタ結合型論理回路)とともに使用する用途に

も適している。しかし、ECLとともに使用する場合には、ECLの論理レベルをBiCMOSの論理レベルに変換するレベル変換回路が必要となる。

第4図は、従来用いられているECLとレベル互換性を有するBiCMOSスタティックRAMのアドレスの入力バッファ20からブリデコード22にかけての部分を示す。同図において、外部端子から入力されたECLレベルの入力信号 $a_i$ は、まずESL型のデジタル回路によって差動論理信号 $a_i$ 、および $\overline{a_i}$ に変換された後、レベル変換回路21によって、MOSレベルの論理信号 $a_{i1}$ 、および $\overline{a_{i1}}$ にレベル変換される。次に、このレベル変換された論理信号 $a_{i1}$ 、および $\overline{a_{i1}}$ がブリデコード22によって論理処理されるようになっている。なお、ブリデコード22は、MOSTランジスタとバイポーラトランジスタの複合回路によって構成されている。

第3図は第4図におけるレベル変換回路21抜き出して示したものである。本従来例のレベル変

換回路は、Vcc電源7と接地電位8との間に、それぞれ直列接続されたPチャネルMOSTランジスタ1およびNチャネルMOSTランジスタ3、PチャネルMOSTランジスタ2およびNチャネルMOSTランジスタ4、PチャネルMOSTランジスタ13およびNチャネルMOSTランジスタ14、ならびにNPNバイポーラトランジスタ5および17と、出力端子11と接地電位8間に直列接続されたNチャネルMOSTランジスタ15およびNチャネルMOSTランジスタ16とを含んでいる。

そして、PチャネルMOSTランジスタ1および2のゲートはそれぞれ入力端子9および10に接続される。また、PチャネルMOSTランジスタ13ならびにNチャネルMOSTランジスタ14および15のゲートは、PチャネルMOSTランジスタ2とNチャネルMOSTランジスタ4との共通接続点に接続され、NPNバイポーラトランジスタ5および17の共通接続点は出力端子11に接続される。

ここで、PチャネルMOSTランジスタ1およ

び2、ならびにNチャネルMOSTランジスタ3および4とは、CMOSからなるカレントミラー部18を構成し、残りの部分はBiCMOSからなる出力回路部19を構成する。

## 〔発明が解決しようとする課題〕

しかし前述した第3図のレベル変換回路は、論理信号のレベル変換を行うだけの機能しかないにもかかわらず、信号伝達の面から見ると、BiCMOSのインバート回路は信号の伝達を遅らせる遅延要素として作用し、その存在はむしろ有害となる欠点がある。

また、前述のレベル変換回路は構成する素子数が概して多く、このため集積回路化した場合にはそのレベル変換回路部分だけでかなり大きなレイアウト面積を占有してしまう欠点がある。

また、素子寸法の微細化に伴って電源電圧が低電圧化した場合、駆動バイポーラトランジスタのベースエミッタ間のビルトイン電圧が電源電圧に比べて無視できなくなり、ベースエミッタ間容量を充電するまでの時間が増大する。このため下側

バイポーラトランジスタが「オン」し、出力レベルが確定するまでの遅延時間が大きくなるのでレベル変換回路での信号伝達が増々遅れる欠点がある。

さらに、電源電圧が低くなると、上側バイポーラトランジスタが従来よりも飽和しやすくなる。飽和状態になり発生した基板電流は周辺回路に悪影響をおよぼし、データ破壊および論理反転等を生じる欠点がある。

本発明の目的は、前記の欠点を除去することにより、素子数が少なく高集積度化が達成でき、かつ駆動トランジスタによる信号伝達の遅延やデータ破壊等を生じることのないレベル変換回路を提供することにある。

〔課題を解決するための手段〕

本発明は、ソースが第一の電源にゲートが第一および第二の入力端子にそれぞれ接続された第一および第二のPチャネルMOSトランジスタと、ドレインおよびゲートが前記第一のPチャネルMOSトランジスタのドレインにソースが前記第一

の電源よりは低い電圧の第二の電源にそれぞれ接続された第一のNチャネルMOSトランジスタと、ドレインが前記第二のPチャネルMOSトランジスタのドレインにゲートが前記第一のNチャネルMOSトランジスタのゲートにソースが前記第二の電源にそれぞれ接続された第二のNチャネルMOSトランジスタとを含むレベル変換回路において、コレクタが前記第一の電源にベースが前記第二のPチャネルMOSトランジスタのドレインにエミッタが出力端子にそれぞれ接続されたNPNバイポーラトランジスタと、エミッタが前記出力端子にベースが前記第二のNチャネルMOSトランジスタのドレインにコレクタが前記第二の電源にそれぞれ接続されたPNPバイポーラトランジスタとを含むことを特徴とする。

また、本発明は、前記NPNバイポーラトランジスタの代わりに、ソースが前記第一の電源にゲートが前記第二のPチャネルMOSトランジスタのゲートにドレインが前記出力端子にそれぞれ接続された第三のPチャネルMOSトランジスタを

含むことを特徴とする。

〔作用〕

出力回路部をNPNバイポーラトランジスタとPNPバイポーラトランジスタの直列回路で構成しているので、カレントミラー部の出力で直接駆動することでレベル変換を行うことができる。

これにより、素子数を大幅に減少できるとともに、信号伝達経路を少なくし信号伝搬速度を向上することができる。

また、NPNバイポーラトランジスタをPチャネルトランジスタに代えることで、NPNバイポーラトランジスタによる電位降下分を無くし、高レベル時の電圧を $V_{cc}$ レベルまで上げることができる。

〔実施例〕

以下、本発明の実施例について図面を参照して説明する。

第1図は本発明の第一実施例を示す回路図である。

本第一実施例は、ソースが第一の電源としての

$V_{cc}$ 電源7にゲートが第一および第二の入力端子9および10にそれぞれ接続された第一および第二のPチャネルMOSトランジスタ1および2と、ドレインおよびゲートがPチャネルMOSトランジスタ1のドレインにソースが $V_{cc}$ 電源7よりは低い電圧の第二の電源としての接地電位8にそれぞれ接続された第一のNチャネルMOSトランジスタ3と、ドレインがPチャネルMOSトランジスタ2のドレインにゲートがNチャネルMOSトランジスタ3のゲートにソースが接地電位8にそれぞれ接続された第二のNチャネルMOSトランジスタ4とを含むレベル変換回路において、

本発明の特徴とするところの、

コレクタが $V_{cc}$ 電源7にベースがPチャネルMOSトランジスタ2のドレインにエミッタが出力端子11にそれぞれ接続されたNPNバイポーラトランジスタ5と、エミッタが出力端子11にベースがNチャネルMOSトランジスタ4のドレインにコレクタが接地電位8にそれぞれ接続されたPNPバイポーラトランジスタ6とを含んでいる。

次に、本第一実施例の動作について説明する。  
入力端子9に高レベル(H)、入力端子10に低レベル(L)が入力されると、PチャネルMOSトランジスタ1は「オフ」状態となりミラーが流入電流がシャ断され、これによってミラー出力電流を流すNチャネルMOSトランジスタ4が「オフ」状態になる。一方、ミラー出力電流が流れるPチャネルMOSトランジスタ2が「オン」状態になりNPNバイポーラトランジスタ5のベース電流が供給され「オン」状態になる。この結果出力端子11は高レベル(H)になる。

次に、入力端子9に低レベル(L)、入力端子10に高レベル(H)が入力されると、PチャネルMOSトランジスタ1は「オン」状態となりミラー入力電流が流れ、これによってミラー出力電流を流すNチャネルMOSトランジスタ4およびPNPバイポーラトランジスタ6が「オン」状態となる。一方、NチャネルMOSトランジスタ4はNPNバイポーラトランジスタ5のベース残留電荷を強制的に引き抜くように動作し、NPNバイ

ポーラトランジスタ5が「オフ」状態になる。この結果出力端子11は低レベル(L)になる。

以上、説明したように本第一実施例によると、入力レベル変換をきちんと行いながら構成素子数は少なく済み、かつ出力段のバイポーラトランジスタによる信号遅延を生じることもない。

第2図は本発明の第二実施例を示す回路図である。

本第二実施例は、第1図の第一実施例において、本発明の特徴とするところの、NPNバイポーラトランジスタ5の代わりに、PチャネルMOSトランジスタ12を用い、ソースを $V_{cc}$ 電源7にゲートをPチャネルMOSトランジスタ2のゲートにドレインを出力端子11にそれぞれ接続したものである。

次に、本第二実施例の動作について説明する。

第一実施例では出力の高レベル(H)が $V_{cc}$ 電源7の電圧 $V_{cc}$ からNPNバイポーラトランジスタ5のベースエミッタ間電圧 $V_{BE}$ 分だけ低くなるのに対して、本第二実施例では、高レベル(H)

が、PチャネルMOSトランジスタ12の「オン」状態におけるソースドレイン間電圧は無視できるので、 $V_{cc}$ レベルになる。従って、次段のゲートに加えられる入力振幅が大きくなりより高速の回路動作が可能となる。この傾向は電源電圧 $V_{cc}$ が低電圧化する際に顕著となる。

#### (発明の効果)

以上説明したように、本発明はカレントミラーを用いてレベル変換を行う論理レベル変換回路にあって、出力段のNPNおよびPNPトランジスタをカレントミラーの出力で直接駆動させるように構成することにより、素子数を少なくするとともに信号の通過経路を少なくし、これによって、集積回路化した場合の必要レイアウトの面積の縮小を可能にするとともに信号の伝達を速める効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の第一実施例を示す回路図。

第2図は本発明の第二実施例を示す回路図。

第3図は従来例を示す回路図。

第4図はその使用例を示す回路図。

1、2、12、13…PチャネルMOSトランジスタ、3、4、14、15、16…NチャネルMOSトランジスタ、5、17…NPNバイポーラトランジスタ、6…PNPバイポーラトランジスタ、7… $V_{cc}$ 電源、8…接地電位、9、10…入力端子、11…出力端子、18…カレントミラー部、19…出力回路部、20…入力バッファ、21…レベル変換回路、22…ブリデコード。

特許出願人 日本電気株式会社  
代理人 弁理士 井出直孝

